



(2,000)

特 許 願 (オ)

昭和49年12月23日

特許庁長官 斎藤 英 雄 殿

1. 発明の名称 半導体装置の製造方法

2. 発明者

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏 名

橋 本 勝 幸 (外1名)

3. 特許出願人

住 所 神奈川県川崎市中原区上小田中1015番地

氏 名

(522) 富士通株式会社

代表者 高 橋 芳 光

4. 代 理 人

住 所 〒171 東京都豊島区南長崎2丁目5番2号

氏 名

(7139) 弁理士 玉 森 久 五 郎

(外4名)

5. 添付書類の目録

- | | | |
|-----|---------|-----|
| (1) | 明 細 書 | 1 通 |
| (2) | 図 面 | 1 通 |
| (3) | 委 任 状 | 1 通 |
| (4) | 願 書 副 本 | 1 通 |

付 表

明 細 書

1 発明の名称 半導体装置の製造方法

2 特許請求の範囲

一導電型の半導体基板に反対導電型の不純物イオンを注入して前記半導体基板内に一導電型の島を形成する反対導電型不純物領域を複数個形成し、該反対導電型不純物領域間に存在する前記一導電型の半導体基板で素子間分離されてなる前記島内に少なくとも半導体素子の一部領域が形成されることを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

本発明は、集積度の高い半導体装置を簡単な工程で製造することができる方法に関するものである。

一般に、半導体装置、例えば、バイポーラ型半導体装置を製造する場合、その集積度を向上させようとする工程数が増加し、逆に工程数を簡略化しようとする集積度が低下したり、特性も低下する宿命にある。

① 日本国特許庁

公開特許公報

①特開昭 51-73887

③公開日 昭51.(1976) 6.26

②特願昭 50-364

②出願日 昭49.(1974) 12.23

審査請求 未請求 (全4頁)

庁内整理番号

6513 57

6684 57

⑤日本分類

99(5)H0

99(5)B1

⑤ Int. Cl²

H01L 21/76

H01L 21/265

特に、従来既知の製造方法では、フォトリソグラフィを使用する回数が多く、その位置合せのために、種々の余裕を採ることが必要であるから、微細パターン形成は甚だ困難である。また、半導体エピタキシャル層の成長、埋没層の形成、コレクタ・コンタクト領域の形成、素子間分離領域の形成等面倒な工程が多い。

現在実施されているバイポーラ半導体装置の製造方法に依れば、比較的安定な製品を供給できるものの、このままでは、最早集積度及び特性を向上することも、工程を簡略化することも不可能な段階にきている。

本発明は、半導体装置を製造するにあたり、使用フォトリソグラフィの枚数、従って、フォトリソグラフィの回数を減少せしめるとともに装置にかかる種々の部分の成長工程、形成工程を不要とし、装置の集積度及び特性を向上させ且つその製造工程を簡略化できるようにすることを目的とし、一導電型の半導体基板に反対導電型の不純物イオンを注入して前記半導体基板内に一導電型の島を形成

する、反対導電型不純物領域を形成し、該反対導電型不純物領域間に存在する前記一導電型の半導体基板で素子間分離されてなる前記島内に少なくとも半導体素子の一部領域が形成されることを特徴とする半導体装置の製造方法、を提供するもので、以下これを詳細に説明する。

第1図乃至第5図は本発明一実施例の主要工程を表わしている。ここでは、 n 型パイポーラ半導体装置に関して説明するが、当該技術分野で周知のように、例えば導電型を逆にした場合も全く同様に考えることができる。次に各図を参照しつつ説明する。

第1図参照

(1) 例えば比抵抗 $0.5[\Omega\cdot\text{cm}]$ 程度の p 型シリコン (Si) 半導体基板1に例えば熱酸化法或いは化学気相成長法 (CVD法) 等を用いて二酸化シリコン (SiO_2) 層2を例えば厚さ $1[\mu\text{m}]$ 程度に形成する。尚、二酸化シリコン層2は後記するイオン注入の際のマスクとなるものであるから、他の物質を適宜使用して良く、場合に依っ

中央近傍不純物濃度: $10^{19} \sim 10^{20} [\text{原子}/\text{cc}]$

尚、 npn 型半導体装置を主体とする場合には、不純物イオンとして例えば陽素イオン (B^+) を使用するが、この場合、 $200[\text{KeV}]$ のエネルギーでベース深さを $5000[\text{\AA}]$ とすることができる。

第4図参照

(4) 二酸化シリコン層2を完全に除去する。
(4) 性能を特に向上させたい場合、即ち、基板1の表面にかける導電型の反転を防止したい場合、例えば陽素イオンを低濃度で注入して p^+ 層5を形成する。この場合、エネルギーは数 $10[\text{KeV}]$ 、ドーズ量は $10^{12}/\text{cm}^2$ 程度で良い。尚、この工程は必要に応じて採用すれば良い。

(4) 例えば熱酸化法を適用して基板1の表面に二酸化シリコン層4を例えば $1000[\text{\AA}]$ の厚さに形成する。若し、この厚さが不足であれば、例えば化学気相成長法に依り二酸化シリコン層を更に形成したり、或いは窒化シリコン (Si_3N_4) 層等の絶縁層を成長させれば良い。

この工程が終了した段階で従来技術と比較す

ては金属が使用される。

第2図参照

(2) 後記する p 型アイランドを形成するために通常のフォト・エッチング法を適用して二酸化シリコン層2のパターニングを行ない窓2Aを形成する。尚、窓2Aのエッジには例えば 45° の角度で傾斜2Bを形成する。また、エッチング液は弗酸 (HF) 系液を使用する。

第3図参照

(3) イオン注入法を適用して基板1に n 型不純物となる不純物イオン、例えば磷イオン (P^+) を注入し、図2の n 型不純物領域3を形成すると共に依り p 型アイランドを形成する。この p 型アイランドはベース領域となるものであり、記号4で指示する。イオン注入にかけるデータは次の通りである。

ベース深さ: $5000[\text{\AA}]$

不純物イオン: 磷イオン

エネルギー: $1[\text{MeV}]$

ドーズ量: $1 \times 10^{15}/\text{cm}^2$

ると、エmitterの形成、エmitter領域の成長、素子間分離領域の形成、コレクタ・コンタクト領域の形成、ベース領域の形成等が終了したことになる。

第5図参照

(5) 通常のフォト・エッチング法を適用して二酸化シリコン層6のパターニングを行ないエmitter領域形成窓、コレクタ・コンタクト領域形成窓を開ける。尚、コレクタ・コンタクト領域形成窓はコンタクトの接触抵抗を低下させるために設けるものであって若干大目目を開けて、図示の如く、 n 型不純物領域3のエッジに対面できるようにする。尚、エッチング液は弗酸系液を使用して良い。

(6) 例えば、磷を拡散するか、或いは磷イオンをイオン注入する等して、 n 型エmitter領域7及び n 型コレクタ・コンタクト領域8を同時に形成する。

(7) 通常の如く、エmitter電極コンタクト層、ベース電極コンタクト層、コレクタ電極コンタクト

ト層を形成してから例えばアルミニウム (Al) を蒸着し、形成されたアルミニウム層をパターンニングしてエミッタ電極9、ベース電極10、コレクタ電極11を形成する。

以上

前記説明で判るように、本発明に依れば、例えばエピタキシャル層の形成が不要であり、また、エミッタ領域とコレクタ・コンタクト領域は同時に形成でき、更にまた素子間分離領域は基板そのものが役目を果たす等、工程数は従来方法の略 $\frac{1}{2}$ になり著しく簡略化され、特にフォト・マスクは第2図のフォト・エッチング工程、エミッタ形成用のフォト・エッチング工程、電極コンタクト用のフォト・エッチング工程、電極のパターンニング工程にて必要となる合計値が4枚しか必要としない。従って、フォト・プロセスの回数も少ないから、設備パターンの形成は極めて容易であり、集積度は大きく向上し、製造歩留りも良好である。

4. 図面の簡単な説明

第1図乃至第5図は本発明一実施例の主要工程

の説明図を要する。

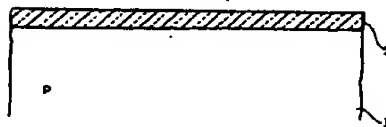
特開昭51-73887 (3)

図において、1は基板、2は二酸化シリコン層、3は皿状の不純物領域、4はベース領域、5は二酸化シリコン層、7はエミッタ領域、8はコレクタ・コンタクト領域をそれぞれ示す。

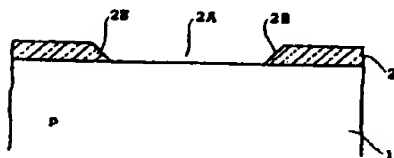
特許出願人 富士通株式会社

代理人弁理士 玉 島 久 五 郎 (外4名)

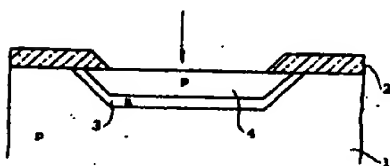
第 1 図



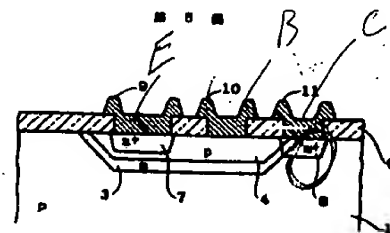
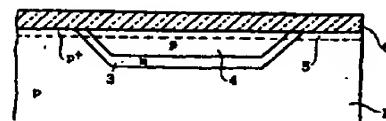
第 2 図



第 3 図



第 4 図



NPN

特開 昭51-73887 (4)

6. 前記以外の発明者および代理人

(1) 発 明 者

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏 名 高 橋 博

(2) 代 理 人

住 所 東京都豊島区南長崎2丁目5番2号

氏 名 (7283) 弁理士 柏 谷 昭 司

(7449) 弁理士 田 坂 善 重

(7589) 弁理士 渡 邊 弘 一

(7727) 弁理士 磯 村 雅 俊

(English translation)

Japanese Patent Laid-Open No.S51-73887/76

Date of Japanese Patent Laid-Open: June 26, 1976

Japanese Patent Application No.S50-364/75

Date of Filing: December 23, 1974

Title of invention: A Method for Manufacturing
Semiconductor Device

Inventors: Katsuyuki INAYOSHI (and one other)

Applicant: FUJITSU Ltd.

Agents: Hisagoro TAMAMUSHI (and four others)

Int.Cl² H01L 21/76, H01L 21/265

SPECIFICATION

1.Title of invention

A Method for Manufacturing a Semiconductor Device

2.Claim

A method for manufacturing a semiconductor device,
characterized in that,

Injecting impurity ion of an opposite directed conductive
type into semiconductor board of conductive type, thereby forming
a plurality of impurity areas of said one conductive type
defining island of conductive type in said semiconductor board,

Forming at least partial area of semiconductor element in
said island, where elements are separated from each other in
semiconductor substrate of said conductive type existing between
impurity areas of said opposite directed conductive type.

3. Detailed description of the invention

This invention relates to a method that enables the
manufacture of a highly integrated semiconductor device by a
simple process.

Generally, upon manufacturing a semiconductor device, for
example, a bipolar type semiconductor device, it is inevitable to
increase the number of the processes when its density of
integration is requested to be higher; and on the other hand, it
is inevitable to decrease the density of integration, or to

deteriorate its performance, when the number of the processes is requested to be fewer.

In particular, in the conventional manufacturing method, photomasks are frequently used, therefore, various margins are necessary for these alignments upon these uses of photomasks; accordingly, it is very difficult to form a microscopic pattern. Further, there are many complicated processes, such as growth of a semiconductor epitaxial layer, formation of a buried layer, formation of a collector contact area and formation of a separation area between elements.

According to the present manufacturing method for a bipolar semiconductor device, it is surely possible to provide comparatively stable products; however, we reached the stage that it is no longer possible to raise the density of integration of the device, to improve its performance, and to simplify the process, as far as continuing such method.

This invention aims to decrease the number of times of using photomasks, or times of photo processes in manufacturing of a semiconductor device, and to dispense with growing process and forming process of various parts, and further to raise the density of integration of the device, to improve its performance, and to simplify the manufacturing process.

Accordingly, this invention provides:

A method for manufacturing a semiconductor device, characterized in that,

Injecting an impurity ion of an opposite directed conductive type into semiconductor board of conductive type, thereby forming a plurality of impurity areas of said one conductive type defining island of conductive type in said semiconductor board,

Forming at least a partial area of semiconductor element in said island, where elements are separated from each other in semiconductor substrate of said conductive type existing between impurity areas of said opposite directed conductive type.

These details are described below:

Fig.1 to Fig.5 show the main processes of embodiment according to this invention. We will explain the NPN type bipolar semiconductor device in this embodiment, even the case of reversing conductivity type is considered to be entirely the same manner, as known in this technical field. Next, we refer to and explain each of the drawings.

Referring to Fig.1, an example is as follows;

(1) Silicon dioxide (SiO_2) layer 2 of 1 [μm] of thickness is formed on P type silicon (Si) semiconductor board 1 of 0.5 [Ωcm] of specific resistance by application of a thermal oxidation method or a chemical vapor deposition (CVD) method. Further, silicon dioxide layer 2 can be substituted for other proper substance, since this layer is used as a mask upon injection of ion as described later, and occasionally some metal is used.

Referring to Fig.2,

(2) Window 2A is formed in order to form a P type island described later, by patterning of silicon dioxide layer 2, applying a conventional photo etching method. Further, at the edge of the window 2A, an inclined surface 2B, is formed at an angle of 45° . Fluoric acid (HF) based liquid is used as an etchant.

Referring to Fig.3,

(3) A P type island is formed by forming dish shaped N type impurity area 5, applying an ion injection method, impurity ion for N type impurity, for example, phosphorous ion (P^+) is injected into board 1. This P type island should be base area, and is indicated with sign 4. Data used upon the ion injection are as follows:

Depth of the base: 5000[\AA]

Impurity ion: Phosphorous ion

Energy: 1[MeV]

Dosage: $1 \times 10^{15}/\text{cm}^2$

Impurity concentration ratio: $10^{19} \sim 10^{20}$ [valence/cc]

Further, when a PNP type semiconductor device is the main constituent, boron ion (B^+) is used as an impurity ion. In this

case, the base depth may be 5000 [Å] with energy of 200 [KeV].

Referring to Fig.4,

(4) Silicon dioxide layer 2 is entirely removed.

(5) For improving the performance in particular, namely, for preventing turn over of conductivity type in board 1, boron ion is injected into board 1 with low concentration, and P⁺ type layer 5 is formed. In this case, the proper order of the energy is tens of [KeV] and the proper dosage is about $10^{12}/\text{cm}^2$.

Besides, this process is acceptable if necessary.

(6) Silicon dioxide layer 6 is formed with thickness of 1000 [Å] on the surface of the board 1 by applying, a thermal oxidation method. If the thickness is insufficient, additional forming of silicon dioxide layer by a chemical vapor deposition method, or, growth of insulation layer of silicon nitrate (Si_3N_4), is available.

Comparing this process with that of the prior art, completion of this process corresponds to completion of all the formation of a buried layer, growth of an epitaxial layer, formation of a separation area between elements and formation of a base area.

Referring to Fig.5,

(7) Emitter area forming window, and collector contact area forming window, are opened by patterning of silicon dioxide layer 6, by application of the usual photo etching method. Collector contact area forming window is provided for reduction of contact resistance on the contact, and is opened a little larger than N type impurity area 3, according to be able to face to the edge of said area 3 as described in the drawing. Fluoric acid based liquid is available as an etchant.

(8) N⁺ type emitter area 7 and N⁺ type collector contact area 8 are simultaneously formed by diffusion of phosphorous or ion injection of phosphorous ion.

(9) Emitter electrode contact window, base electrode contact window and collector electrode contact window are formed; afterward, aluminum (Al) is vapor deposited, then emitter

electrode 9, base electrode 10 and collector electrode 11 are formed by patterning of said formed aluminum layer.

As shown in the above description, this invention reduces the number of the processes to about one quarter of the methods in the prior art, and the method is remarkably simplified; formation of the epitaxial layer is not necessary, emitter area and collector contact area can be simultaneously formed, and moreover, the board itself performs a role in the separation area between elements. Especially, the photomask needs only four sheets in the photo etching process shown in Fig.2, photo-etching process of emitter forming window, photo etching process of electrode contact window and patterning process of the electrode. Accordingly, since the number of times for the photo process is fewer, a microscopic pattern is formed very easily, the density of integration is remarkably improved and the yield rate of production is also raised.

4. Brief description of the drawings

Fig.1 to Fig.5 are drawings to explain the main process of an embodiment according to this invention. The numerals in the drawings indicate the following:

- 1: board
- 2: silicon dioxide layer
- 3: dish shaped N type impurity area
- 4: base area
- 5: P+ type layer
- 6: silicon dioxide layer
- 7: emitter area
- 8: collector contact area